

---

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION  
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

---

[Translation done.]

BEST AVAILABLE COPY

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor integrated circuit equipment characterized by processing thinly the dimension of said resist pattern on each chip into the resist pattern formed on the semiconductor wafer by performing ashing using ozone, irradiating UV light for every chip.

[Claim 2] The manufacture approach of the semiconductor integrated circuit equipment characterized by processing the dimension of said resist pattern into the resist pattern formed on the semiconductor wafer thinly locally by performing ashing using ozone, irradiating UV light locally.

[Claim 3] The manufacture approach of the semiconductor integrated circuit equipment characterized by every chip and being able to shave said resist pattern locally and adjusting an amount by controlling the dose of said UV light in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 4] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by holding said semiconductor wafer at the temperature of about 110-150 degrees C in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 5] The manufacture approach of the semiconductor integrated circuit equipment characterized by irradiating said UV light in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2 from UV light source cel arranged in the shape of a matrix above said semiconductor wafer.

[Claim 6] The manufacture approach of the semiconductor integrated circuit equipment characterized by irradiating said UV light drawn above said semiconductor wafer with the microtubule from UV light source in the manufacture approach of semiconductor integrated circuit equipment according to claim 1 or 2.

[Claim 7] The manufacturing installation of the semiconductor integrated circuit equipment characterized by having the function which measures the dimension of the resist pattern formed on the semiconductor wafer, and the function to process thinly the dimension of said resist pattern on each chip by performing ashing using ozone, irradiating UV light for every chip.

[Claim 8] The manufacturing installation of the semiconductor integrated circuit equipment characterized by having the function which measures the dimension of the resist pattern formed on the semiconductor wafer, and the function to process the dimension of said resist pattern thinly locally by performing ashing using ozone, irradiating UV light locally.

[Claim 9] The manufacturing installation of the semiconductor integrated circuit equipment characterized by equipping every chip and the function to be able to shave said resist pattern locally and to calculate an amount in the manufacturing installation of semiconductor integrated circuit equipment according to claim 7 or 8.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the semiconductor integrated circuit equipment formed with the processing dimension of 0.1 micrometers or less about the manufacturing technology of semiconductor integrated circuit equipment, and relates to an effective technique.

[0002]

[Description of the Prior Art] The ultra-fine processing technology in semiconductor integrated circuit equipment is mainly brought about by amelioration of a lithography technique, and the photolithography which used light also in it is used also for the mass production of the semiconductor integrated circuit equipment of the half micron age from the reason of the economical efficiency.

[0003] By the way, the processing minimum line width demanded by detailed-ization of a semiconductor device progressing with high-performance-izing of semiconductor integrated circuit equipment already amounts to 0.1 micrometers with difficult resolving with the photolithography technique. However, in order to use other lithography techniques replaced with a photolithography, for example, an electron-beam-exposure technique, X-ray open opto-electronics, etc. for the mass-production base, the still technical breakthrough is needed. Then, promising \*\* of the photolithography is carried out also in 0.1-micrometer process, and the researches and developments for amelioration are done further.

[0004]

[Problem(s) to be Solved by the Invention] By the way, ultra-fine processing technology requires \*\*10% or less of dimension variation, while formation of the device pattern of a very small dimension is required. That is, many detailed devices are accumulated, and since it is an integrated circuit that connection of them is carried out mutually and they have one function, finally the size of the variation in the property of each semiconductor device resulting from the dimension variation between lot-to-lot and a semi-conductor wafer or within a semi-conductor wafer side serves as [ the function of semiconductor integrated circuit equipment ] an element which decides whether to fit in target tolerance.

[0005] However, when said slimming technique was applied, for example to 0.14-micrometer process according to the place which this invention person examined, although the processing dimension of 0.14\*\*0.02 micrometers was set to 0.10\*\*0.02 micrometers and the average dimension became thin, variation became clear [ that it cannot decrease ]. In 0.1-micrometer process, it is possible that it becomes still more difficult to suppress the dimension variation to \*\*10% or less.

[0006] The purpose of this invention has a processing dimension thinner than the minimum processing dimension decided by the resolution limit of a photolithography, and is to offer the technique in which dimension variation can form \*\*10% or less of resist pattern on a semi-conductor wafer.

[0007] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0008]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. That is, the manufacture approach of the semiconductor integrated circuit equipment of (1) this invention processes thinly the dimension of said resist pattern on each chip into the resist pattern formed on the semi-conductor wafer by performing ashing using ozone, irradiating UV (Ultra Violet) light for every chip.

[0009] (2) The manufacture approach of the semiconductor integrated circuit equipment of this invention

processes the dimension of said resist pattern into the resist pattern formed on the semi-conductor wafer thinly locally by performing ashing using ozone, carrying out UV irradiation locally.

[0010] (3) The manufacture approaches of the semiconductor integrated circuit equipment of this invention are every chip and a thing which can shave said resist pattern locally and adjusts an amount by controlling the dose of said UV light in the manufacture approach of semiconductor integrated circuit equipment the above (1) or given in (2).

[0011] (4) In the manufacture approach of semiconductor integrated circuit equipment the above (1) or given in (2), said semi-conductor wafer is held for the manufacture approach of the semiconductor integrated circuit equipment of this invention at the temperature of about 110-150 degrees C.

[0012] (5) Said UV light generated by plasma discharge is irradiated from UV light source cel by which the manufacture approach of the semiconductor integrated circuit equipment of this invention has been arranged in the shape of a matrix above said semi-conductor wafer in the manufacture approach of semiconductor integrated circuit equipment the above (1) or given in (2).

[0013] (6) Said UV light by which the manufacture approach of the semiconductor integrated circuit equipment of this invention was drawn above said semi-conductor wafer with the microtubule from UV light source in the manufacture approach of semiconductor integrated circuit equipment the above (1) or given in (2) is irradiated.

[0014] (7) The manufacturing installation of the semiconductor integrated circuit equipment of this invention is equipped with the function which measures the dimension of the resist pattern formed on the semi-conductor wafer, and the function to process thinly the dimension of said resist pattern on each chip by performing ashing using ozone, irradiating UV light for every chip.

[0015] (8) The manufacturing installation of the semiconductor integrated circuit equipment of this invention is equipped with the function which measures the dimension of the resist pattern formed on the semi-conductor wafer, and the function to process the dimension of said resist pattern thinly locally by performing ashing using ozone, irradiating UV light locally.

[0016] (9) The manufacture approach of the semiconductor integrated circuit equipment of this invention is equipped with every chip and the function to be able to shave said resist pattern locally and to calculate an amount, in the manufacturing installation of semiconductor integrated circuit equipment the above (7) or given in (8).

[0017] Since according to the above-mentioned means ashing is performed to the resist pattern formed with the minimum processing dimension decided by the resolution limit of a photolithography and every chip and the amount set up locally are deleted, while the average value of the processing dimension of the resist pattern on a semi-conductor wafer can be made thinner than the above-mentioned minimum processing dimension, dimension variation also becomes possible [ considering as \*\*10% or less ]. Moreover, it becomes possible to carry out amendment management of the processing dimension of the resist pattern for every chip.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0019] The manufacture approach of the detailed pattern which is the gestalt of operation of this invention is explained using drawing 1 - drawing 14 . In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0020] First, the SURIMINNGU technique which is the gestalt of operation of this invention is explained using process drawing shown in drawing 1 .

[0021] The foreign matter of the front face of introduction and a semi-conductor wafer or a rear face is removed, and resist spreading pretreatment for reinforcing the adhesive property to the semi-conductor wafer of the mask pattern after a development is performed (process 100).

[0022] next, the semi-conductor wafer which spreading pretreatment finished -- rotation spreading (Spin Coating) -- a photoresist with a thickness of 1-2 micrometers is applied to homogeneity by law (process 101). After this approach places a semi-conductor wafer on a spin chuck and trickles about 1-5ml of resists, it is the approach of rotating a semi-conductor wafer by 2000 - 5000rpm, dispersing a resist with a centrifugal force, and forming the resist of uniform thickness in the front face of a semi-conductor wafer.

[0023] Next, BEKU [ a hot plate is used and / a semi-conductor wafer ] (process 102) in order to volatilize the residual solvent that on the resist film immediately after spreading contained and to stabilize the photochemical reaction at the time of exposure. [ many ]

[0024] Next, after setting a semi-conductor wafer in a contraction projection aligner with a predetermined photo mask and performing exact alignment, a fixed time amount exposure (exposure) of ultraviolet rays (i line) and the laser beam is carried out, and a mask pattern can be burned on the above-mentioned resist (process 103).

[0025] Next, after making a developer dropped at the front face of a semi-conductor wafer, piling it using surface tension and performing a development predetermined time, a resist pattern is formed by performing the rinse in pure water, and rotation desiccation continuously (process 104). Then, while a semi-conductor wafer and drying it completely, the dry etching-proof by the adhesive property to the semi-conductor wafer of the resist film and the formation of a heat crosslinked polymer is raised (process 105). [ around 120 degrees C ]

[0026] Subsequently, the appearance of a semi-conductor wafer is inspected with a metaloscope (process 106), and dimension measurement of a resist pattern is performed using length measurement SEM (Scanning Electron Microscope) further, for example (process 107). This dimension measurement is performed for every chip on a semi-conductor wafer, and all the measured dimensions are memorized.

[0027] In said dimension measurement, when the length measurement dimension of a resist pattern does not fulfill a standard size, slimming processing is performed to a resist pattern (process 108). First, the amount of ashing for every chip for fulfilling a standard size based on the length measurement dimension of a resist pattern (being able to shave a resist pattern amount) is calculated and (process 108a) set up (process 108b). In addition, the above-mentioned standard size may be thinner than the minimum processing dimension decided by the resolution limit of the exposure approach used, for example. then, the processing dimension of the resist pattern on each chip is amended by performing ashing using ozone, heating a semi-conductor wafer at 110-150 degrees C, and it being alike for every chip on a semi-conductor wafer, and irradiating UV (Ultra Violet) light (process 108c). Dimension variation can also be reduced, while the amount set up for every chip is deleted and the average value of the processing dimension of the resist pattern on a semi-conductor wafer is thinly made by this ashing.

[0028] After amending the processing dimension of a resist pattern, dimension measurement of a resist pattern is again performed for every chip on a semi-conductor wafer. Alignment is inspected when the length measurement dimension of a resist pattern fulfills a standard size (process 109).

[0029] Drawing 2 shows the conceptual diagram of dimension distribution transition of the resist pattern by slimming processing. If the processing dimension of the resist pattern on the semi-conductor wafer with which sensitization and a development were performed calculates and sets up the amount of ashing suitable for each chip in the case of  $0.14 \times 0.02$  micrometers and performs slimming processing, while the processing dimension is set to  $0.10 \times 0.01$  micrometers and can make thin about 0.04 micrometers of average values of the processing dimension of the resist pattern on a semi-conductor wafer, it can also make dimension variation about 10%.

[0030] In addition, although dimension measurement of the resist pattern in the process 107 of said drawing 1 was performed for every chip, you may carry out only to the chip of a predetermined part and the same amount of ashing as the amount of ashing applied to the chip of the above-mentioned predetermined part is used to the chip around the chip of a predetermined part by the slimming processing in the process 108 of said drawing 1 in this case. <BR> [0031] Moreover, equipment equipped with the function in which a part of these can be carried out and they can be performed may be used for the operation of dimension measurement of the resist pattern of the process 107 of said drawing 1, a judgment, and the amount of ashing of the process 108 of said drawing 1, a setup, and ASSHINNGU.

[0032] Drawing 3 is the sectional view showing an example of the cellular structure of UV light source cell CE used by slimming processing of the process 108 of said drawing 1. this drawing -- setting -- 1 -- the 1st substrate and 2 -- the 2nd substrate and 3 -- a septum and 4 -- discharge space and 5 -- for an electrode and 8, as for a protective coat and 10, a dielectric layer and 9 are [ UV light and 6 / the plasma and 7 / a transparent electrode and 11 ] dielectric layers.

[0033] It is prepared between the 1st substrate 1 and the 2nd substrate 2, and the discharge space 4 sealed by the septum 3 is filled up with these mixed gas, such as mercury (Hg), a krypton (Kr), an argon (Ar), a xenon (Xe), or neon (Ne) for generating the UV light 5 by plasma discharge. The distance of the 1st substrate 1 and the 2nd substrate 2 which face across discharge space 4 is about 100 micrometers.

[0034] The electrode 7 for generating the plasma 6 is formed in said discharge space 4, this electrode 7 is covered in the front face of the 1st substrate 1, the dielectric layer 8 is formed in it, and the protective coat 9 is further formed in the upper layer of this dielectric layer 8. It consists of synthetic quartz and, as for the 2nd substrate 2, the transparent electrode 10 for generating the plasma 6 is formed in the front face like the 1st

substrate 1. Furthermore this transparent electrode 10 is covered and the dielectric layer 11 is formed. The UV light 5 generated in discharge space 4 is taken out from the 2nd substrate 2 which consists of synthetic quartz, and is irradiated on a semi-conductor wafer.

[0035] Drawing 4 shows an example of an approach which performs UV irradiation on a semi-conductor wafer. The top view in which drawing 4 (a) shows arrangement of each UV light source cel, and drawing 4 (b) are the mimetic diagrams showing arrangement of each UV light source cel in UV irradiation, and a semi-conductor wafer. The exposures of the hatching part of shading are many UV light source cels relatively among drawing 4 (a), and the exposures of a void part are few UV light source cels relatively. Moreover, the dotted line in drawing 4 (a) shows the location of the semi-conductor wafer counterposed by UV light source cel CE.

[0036] As shown in drawing 4, each UV light source cel CE arranged in the shape of matrix is held by the folder 12, and is installed above the semi-conductor wafer 14 with which the resist pattern 13 was formed in the front face. Each magnitude of UV light source cel CE is almost the same as a chip. The semi-conductor wafer 14 is placed on the heat stage 15, and the temperature control of the semi-conductor wafer 14 is performed by this heat stage 15.

[0037] When UV irradiation is carried out to drawing 5, the relation between the ASSHINNGU rate when not carrying out UV irradiation and substrate temperature and the relation between both rate ratio and substrate temperature are shown. As shown in drawing 5, inclinations [ further as opposed to / respectively depending on substrate temperature / both substrate temperature in the ashing rate at the time of carrying out UV irradiation and the ashing rate when not carrying out UV irradiation ] differ, and a rate ratio becomes large as substrate temperature becomes low. From this, the temperature of the semi-conductor wafer 14 is set to the about field which can take a large rate ratio, for example, 110-150 degrees C.

[0038] Next, the manufacture approach of the CMOS (Complementary Metal Oxide Semiconductor) device which applied the slimming technique of the gestalt of this operation is briefly explained using drawing 6 - drawing 14. The slimming technique mentioned above was applied to the photolithography process at the time of forming the gate electrode of a CMOS device. The n channel molds MISFET (Metal Insulator Semiconductor Field Effect Transistor) and Qp of Qn are the p channel molds MISFET among drawing.

[0039] First, as shown in drawing 6, the semi-conductor substrate 21 which consists of single crystal silicon of p mold is prepared. Next, oxidize thermally this semi-conductor substrate 21, and the thin oxidation silicone film 22 of about 0.01 micrometers of thickness is formed in that front face. subsequently, the upper layer -- chemical vapor growth (Chemical Vapor Deposition;CVD), after depositing the silicon nitride film 23 of about 0.1 micrometers of thickness in law Isolation slot 24a with a depth of about 0.35 micrometers is formed in the semi-conductor substrate 21 of a component isolation region by carrying out dry etching of a silicon nitride film 23, the silicon oxide film 22, and the semi-conductor substrate 21 one by one by using a resist pattern as a mask.

[0040] next, silicon oxide film 24b deposited with the CVD method on the semi-conductor substrate 21 as shown in drawing 7 after removing a silicon nitride film 23 by the wet etching using a heat phosphoric acid -- etchback or chemical mechanical polishing (Chemical Mechanical Polishing;CMP) -- it grinds by law and a component isolation region is formed by leaving silicon oxide film 24b to the interior of isolation slot 24a. Then, silicon oxide film 24b embedded at isolation slot 24a is densified by annealing the semi-conductor substrate 21 at about 1000 degrees C (biscuit ware).

[0041] Next, the ion implantation of the boron for forming a well 25 in the n channel mold MISFETQn formation field of the semi-conductor substrate 21 p mold is carried out, and the ion implantation of Lynn for forming a well 26 in a p channel mold MISFETQp formation field n mold is carried out. The above-mentioned boron is poured in by for example, impregnation energy 200keV and dose  $2 \times 10^{13} \text{cm}^{-2}$ , and above-mentioned Lynn is poured in by for example, impregnation energy 500keV and dose  $3 \times 10^{13} \text{cm}^{-2}$ .

[0042] Next, as shown in drawing 8, the semi-conductor substrate 21 is oxidized thermally, and a well 25 and after forming gate dielectric film 27 in each front face of a well 26 by the thickness of about 4nm n mold, the polycrystal silicone film 28 is deposited on the semi-conductor substrate 21 with a CVD method p molds.

[0043] Subsequently, n mold impurity, for example, Lynn, is introduced to the polycrystal silicone film 28 of the field in which the n channel mold MISFETQn is formed of ion implantation, and p mold impurity, for example, boron, is continuously introduced to the polycrystal silicone film 28 of the field in which the p channel mold MISFETQp is formed of ion implantation. Then, a silicon nitride film 29 is deposited on the upper layer of the polycrystal silicone film 28.

[0044] Next, the photolithography process at the time of forming the gate electrode of the n channel mold MISFETQn and the p channel mold MISFETQp is explained.

[0045] First, after removing the foreign matter of the front face of the semi-conductor substrate 21, or a rear face, on the semi-conductor substrate 21 which resist spreading pretreatment finished, by the rotation applying method, the general-purpose positive type photoresist film is applied to homogeneity, for example, and, subsequently to the semi-conductor substrate 21, BEKU processing is performed.

[0046] Then, after setting the semi-conductor substrate 21 in a contraction projection aligner with a photo mask and performing exact alignment, a fixed time amount exposure of the KrF excimer laser with a wavelength of 0.248 micrometers is carried out, and a mask pattern can be burned.

[0047] An example of the contraction projection aligner 30 used for drawing 9 at an exposure process is shown briefly. the semi-conductor wafer with which 31 consists of a 5-8 inches silicon single crystal etc. in this drawing, and 32 -- in an integrator and 36, a reflecting mirror and 37 hold a condenser lens, 38 holds [ KrF excimer laser, and 33 and 34 / a reflecting mirror and 35 ] a photo mask, and the mask holder which can be moved slightly to Z shaft orientations at least, and 39 are contraction projection lenses. In the wafer adsorption base where 40 adsorbs the semi-conductor wafer 31, and 41, an X-axis movable carriage (level longitudinal direction) and 43 are Y-axis movable carriages (level cross direction), and a Z-axis movable carriage (the height direction) and 42 constitute a XYZ stage with the above-mentioned X-axis movable carriage 42. SM is a photo mask.

[0048] After bending the beam which came out of the KrF excimer laser 32 in the total reflection mirrors 33 and 34 of two sheets on the occasion of exposure, the optical element called an integrator 35 performs condensing, expansion, and equalization. Next, after bending a beam in the large-sized total reflection mirror 36 and letting the condenser lens 37 made from a quartz pass, image formation is carried out on the semi-conductor wafer 31 through a photo mask SM and the monochrome contraction projection lens 39 made from a quartz.

[0049] After making a developer dropped at the front face of the semi-conductor substrate 21, and after exposure piling it using surface tension and performing a predetermined time amount development, it performs the rinse in pure water, and rotation desiccation continuously. The resist pattern 44 which has the minimum processing dimension decided by this by the resolution limit on the semi-conductor substrate 21 is formed.

[0050] Next, by amending the processing dimension of the resist pattern 44 on the semi-conductor substrate 21 using the slimming technique explained using said drawing 1 - drawing 5 , it has a processing dimension thinner than the minimum processing dimension decided by the resolution limit, and resist pattern 44a by which dimension variation was further suppressed to \*\*10% or less is formed.

[0051] Next, sequential etching of the nitriding SHIRIKONN film 29 and the polycrystal silicone film 28 is carried out by using resist pattern 44a as a mask, and as shown in drawing 10 , the gate electrode 45 constituted with cap insulator layer 29a and the polycrystal silicone film 28 which consist of a silicon nitride film 29 is formed.

[0052] next, n mold after removing the above-mentioned resist pattern 44a -- the gate electrode 45 of the n channel mold MISFETQn after covering a well 26 by the resist film -- a mask -- carrying out -- p mold -- low-concentration n- which introduces n mold impurity, for example, arsenic, into a well 25, and constitutes the source of the n channel mold MISFETQn, and a part of drain Mold semiconductor region 46a is formed. the same -- p mold -- the gate electrode 45 of the p channel mold MISFETQp after covering a well 25 by the resist film -- a mask -- carrying out -- n mold -- low-concentration p- which introduces p mold impurity (boron [ for example, ] fluoride) into a well 26, and constitutes the source of the p channel mold MISFETQp, and a part of drain Mold semiconductor region 47a is formed.

[0053] then, the oxidation silicone film deposited with the CVD method on the semi-conductor substrate 21 as shown in drawing 11 -- RIE (Reactive Ion Etching) -- anisotropic etching is carried out by law and the sidewall spacer 48 is formed in each side attachment wall of the gate electrode 45 of the n channel mold MISFETQn, and the gate electrode 45 of the p channel mold MISFETQp.

[0054] next, it is shown in drawing 12 -- as -- n mold -- the gate electrode 45 and the side WIRU spacer 48 of the n channel mold MISFETQn after covering a well 26 by the resist film -- a mask -- carrying out -- p mold -- high-concentration n+ which introduces n mold impurity, for example, Lynn, into a well 25, and constitutes the source of the n channel mold MISFETQn, and a part of other drains Mold semiconductor region 46b is formed. the same -- p mold -- the gate electrode 45 and the sidewall spacer 48 of the p channel mold MISFETQp after covering a well 25 by the resist film -- a mask -- carrying out -- n mold -- high-concentration p+ which



introduces p mold impurity (boron [ for example, ] fluoride) into a well 26, and constitutes the source of the p channel mold MISFETQp, and a part of other drains Mold semiconductor region 47b is formed.

[0055] Next, after depositing the titanium film with a thickness of about 30-50nm on the semi-conductor substrate 21 with the sputtering method or a CVD method, heat treatment of about 600-700 degrees C is performed to the semi-conductor substrate 21 in nitrogen-gas-atmosphere mind, and, subsequently the unreacted titanium film is removed. Then, by heat-treating to the semi-conductor substrate 21 for the reduction in resistance, as shown in drawing 13 , it is n+ of the n channel mold MISFETQn. The front face of mold semiconductor region 46b, and p+ of the p channel mold MISFETQp The titanium silicide film 49 is formed in the front face of mold semiconductor region 47b.

[0056] Next, as shown in drawing 14 , after forming an interlayer insulation film 50 on the semi-conductor substrate 21, an interlayer insulation film 50 is etched by using a resist pattern as a mask, and it is n+ of the n channel mold MISFETQn. p+ of the titanium silicide film 49 prepared in the front face of mold semiconductor region 46b, and the p channel mold MISFETQp The contact holes 51n and 51p which reach the titanium silicide film 49 prepared in the front face of mold semiconductor region 47b are punctured. In addition, although illustration is not carried out, the contact hole which reaches the gate electrode 45 is formed in coincidence.

[0057] Then, after embedding a metal membrane to the interior of contact holes 51n and 51p and forming a plug 52 in it by depositing a metal membrane, for example, the tungsten film, on the upper layer of an interlayer insulation film 50, for example, carrying out flattening of the front face of this metal membrane by the CMP method, a CMOS device is mostly completed by etching the metal membrane deposited on the upper layer of an interlayer insulation film 50, and forming a wiring layer 53.

[0058] In addition, with the gestalt of this operation, although KrF excimer laser was used for exposure, ArF excimer laser or ultraviolet rays, for example, i line with a wavelength of 0.365 micrometers etc., may be used, and the slimming technique of a resist pattern can be applied regardless of the exposure approach.

[0059] Moreover, with the gestalt of this operation, although the exposure of UV light was performed above the semi-conductor wafer using UV light source cel arranged in the shape of a matrix, UV light drawn above the semi-conductor wafer with the microtubule from UV light source may be irradiated, and the same effectiveness is acquired.

[0060] Moreover, although the variation was also reduced with the gestalt of this operation while amending the average value of the processing dimension of the resist pattern on a semi-conductor wafer in order to suppress property fluctuation of a semiconductor device, by performing ashing preponderantly only to a specific chip, the resist pattern of the above-mentioned specific chip may be processed minutely, and the resist pattern of the same configuration which has a different processing dimension for every chip may be formed on one semi-conductor wafer.

[0061] Moreover, with the gestalt of this operation, although UV light was irradiated for every chip, some resist patterns on one chip may be minutely processed by making smaller than a chip each magnitude of UV light source cel CE into the magnitude which can irradiate a specific pattern locally, and irradiating UV light locally.

[0062] Thus, since according to the gestalt of this operation ashing is performed to the resist pattern formed on the semi-conductor wafer with the minimum processing dimension decided by the resolution limit of a photolithography and every chip and the amount set up locally are deleted, the average value of the processing dimension of the resist pattern on a semi-conductor wafer can be made thinner than the above-mentioned minimum processing dimension, and the dimension variation of a resist pattern can also be reduced to \*\*10% or less to coincidence. Moreover, it becomes possible to carry out amendment management of the processing dimension of the resist pattern for every chip.

[0063] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0064] For example, although the gestalt of said operation explained the case where it applied to the manufacture approach of the gate electrode of a CMOS device, it is applicable to the manufacture approach of any semiconductor integrated circuit equipments of having a detailed pattern.

[0065]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.



[0066] According to this invention, it has a processing dimension thinner than the minimum processing dimension decided by the resolution limit of a photolithography, and dimension variation can form \*\*10% or less of resist pattern on a semi-conductor wafer.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is process drawing for explaining the slimming technique which is the gestalt of 1 operation of this invention.

[Drawing 2] It is the conceptual diagram showing transition of the resist dimension distribution by the slimming technique.

[Drawing 3] It is the sectional view showing the cellular structure of UV light source cel.

[Drawing 4] The top view in which (a) shows arrangement of UV light source cel, and (b) are the mimetic diagrams showing arrangement of each UV light source cel in UV irradiation, and a semi-conductor wafer.

[Drawing 5] It is the graphical representation showing the relation between the ashing rate of a photoresist, and substrate temperature.

[Drawing 6] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 7] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 8] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 9] It is the explanatory view of the contraction projection aligner used at an exposure process.

[Drawing 10] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 11] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 12] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 13] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

[Drawing 14] It is the important section sectional view of the semi-conductor substrate in which the manufacture approach of the CMOS device which applied the gestalt of 1 operation of this invention is shown.

### [Description of Notations]

- 1 1st Substrate
- 2 2nd Substrate
- 3 Septum
- 4 Discharge Space
- 5 UV Light
- 6 Plasma
- 7 Electrode
- 8 Dielectric Layer
- 9 Protective Coat
- 10 Transparent Electrode
- 11 Dielectric Layer
- 12 Folder
- 13 Resist Pattern
- 14 Semi-conductor Wafer

15 Heat Stage  
21 Semi-conductor Substrate  
22 Oxidation Silicone Film  
23 Silicon Nitride Film  
24a Isolation slot  
24b Oxidation silicone film  
25 It is Well P Molds.  
26 It is Well N Molds.  
27 Gate Dielectric Film  
28 Polycrystal Silicone Film  
29 Silicon Nitride Film  
29a Cap insulator layer  
30 Contraction Projection Aligner  
31 Semi-conductor Wafer  
32 KrF Excimer Laser  
33 Reflecting Mirror  
34 Reflecting Mirror  
35 Integrator  
36 Reflecting Mirror  
37 Condenser Lens  
38 Mask Holder  
39 Contraction Projection Lens  
40 Wafer Adsorption Base  
41 Z-axis Movable Carriage (the Height Direction)  
42 X-axis Movable Carriage (Level Longitudinal Direction)  
43 Y-axis Movable Carriage (Level Cross Direction)  
44 Resist Pattern  
44a Resist pattern  
45 Gate Electrode  
46a n - Mold semiconductor region  
46b n+ Mold semiconductor region  
47a p - Mold semiconductor region  
47b p+ Mold semiconductor region  
48 Sidewall Spacer  
49 Titanium Silicide Film  
50 Interlayer Insulation Film  
51n Contact hole  
51p Contact hole  
52 Plug  
53 Wiring Layer  
CE UV light source cel  
SM Photo mask

---

[Translation done.]

# \* NOTICES \*

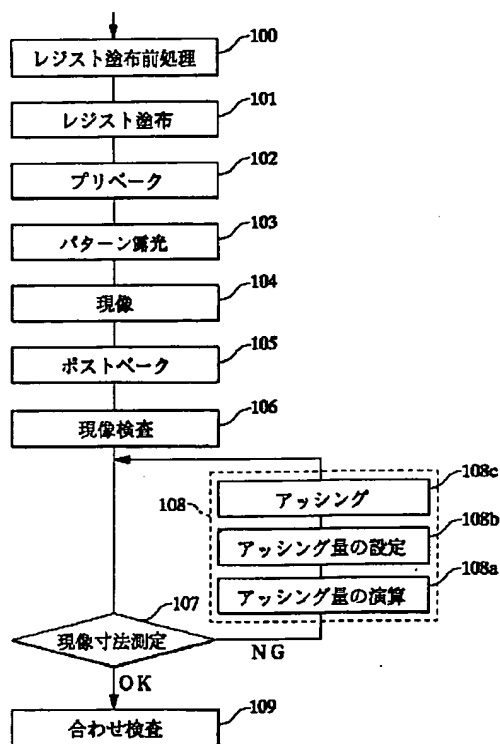
JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

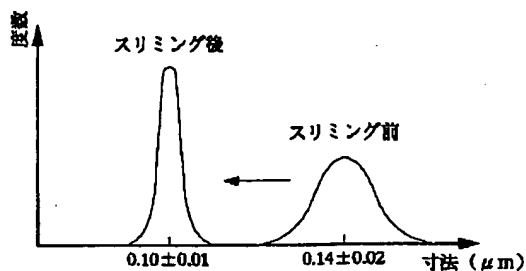
[Drawing 1]

図 1



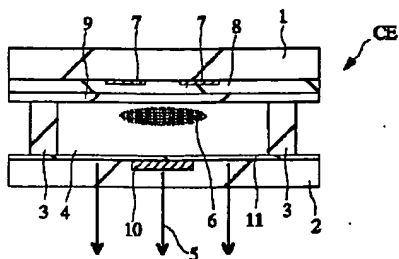
[Drawing 2]

図 2



[Drawing 3]

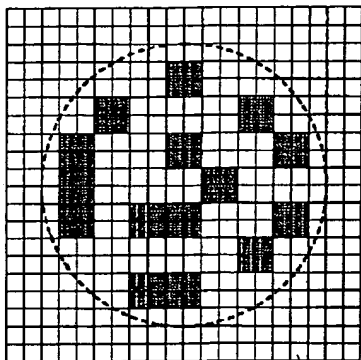
図 3



[Drawing 4]

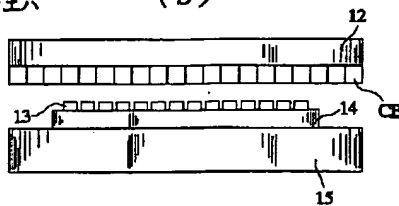
図 4

(a)



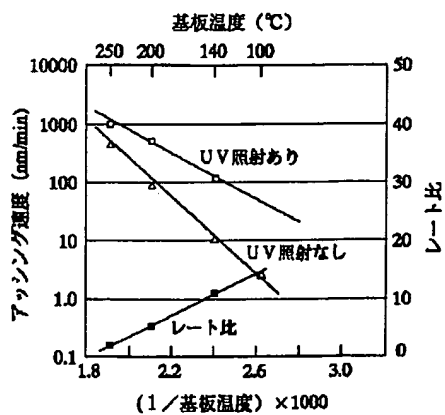
CE : UV光源セル  
13 : レジストパターン  
14 : 半導体ウエハ

(b)



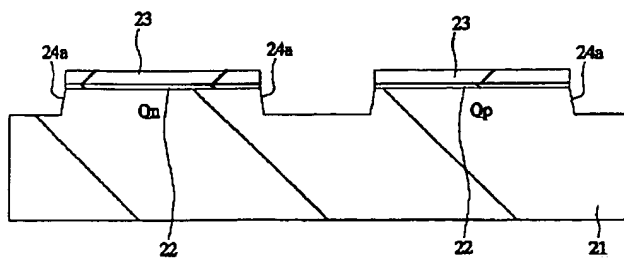
[Drawing 5]

図 5



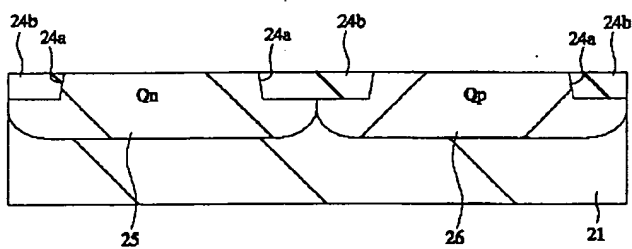
[Drawing 6]

**6**



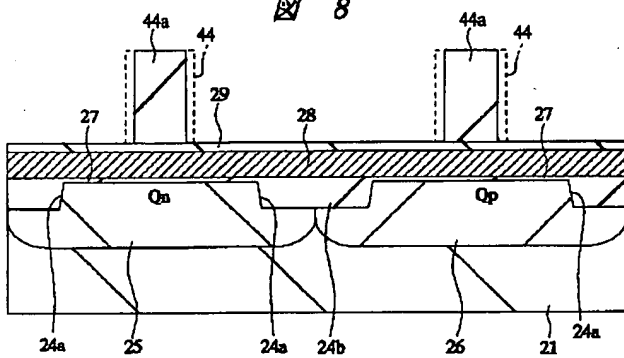
[Drawing 7]

**7**



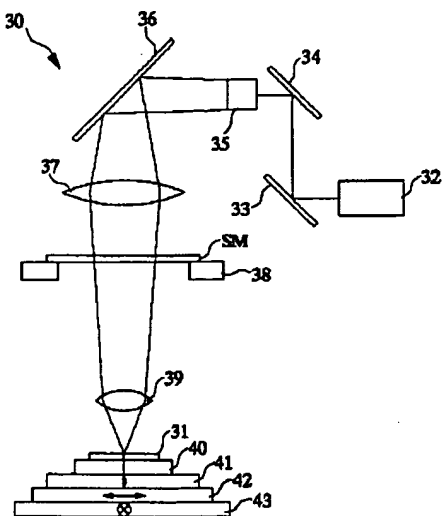
[Drawing 8]

**8**

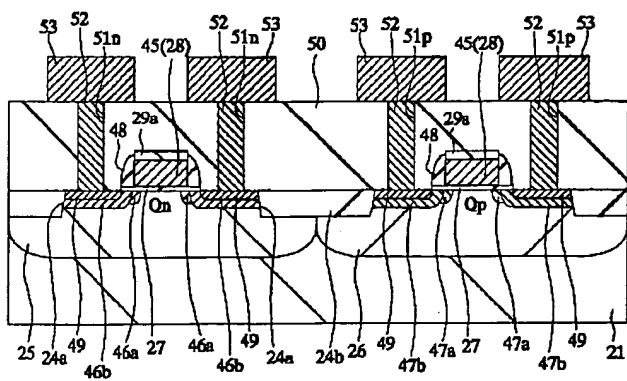


[Drawing 9]

**9**







[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85407

(P2001-85407A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 1 L 21/3065		H 0 1 L 21/302	J 2 H 0 9 6
G 0 3 F 7/40	5 2 1	G 0 3 F 7/40	5 2 1 5 F 0 0 4
H 0 1 L 21/027		H 0 1 L 21/30	5 7 0 5 F 0 4 6
			5 7 2 A

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願平11-259238

(22) 出願日 平成11年9月13日 (1999.9.13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 ミツ谷 晴仁

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 徳永 尚文

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法および製造装置

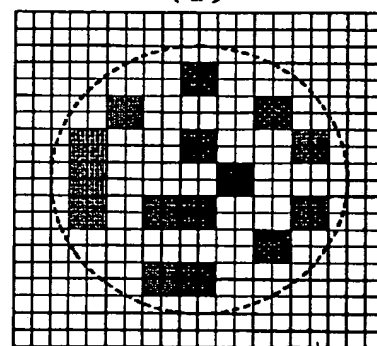
## (57) 【要約】

【課題】 フォトリソグラフィの解像限界で決まる最小加工寸法よりも細い加工寸法を有し、寸法偏差が±10%以下のレジストパターンを形成する。

【解決手段】 レジストパターンの測長寸法を基に規格寸法を満たすためのチップ毎のアッシング量を演算、設定した後、110～150℃程度に加熱された半導体ウエハ14にUV光源セルCEからUV光を照射しながらオゾンを用いたアッシングを施し、各々のチップ上のレジストパターン13の加工寸法を補正する。このアッシングによってチップ毎に設定された量が削られ、半導体ウエハ14上のレジストパターン13の加工寸法の平均値が細くできると同時に、寸法バラツキも低減することが可能となる。

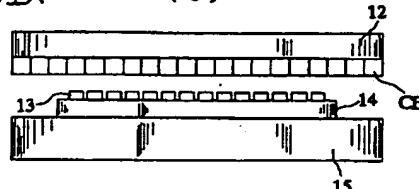
図 4

(a)



CE : UV光源セル  
13 : レジストパターン  
14 : 半導体ウエハ

(b)



## 【特許請求の範囲】

【請求項1】 半導体ウエハ上に形成されたレジストパターンに、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体ウエハ上に形成されたレジストパターンに、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、前記UV光の照射量を制御することによって、チップ毎または局所的に前記レジストパターンの削れ量を調整することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1または2記載の半導体集積回路装置の製造方法において、前記半導体ウエハは110～150℃程度の温度に保持されていることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1または2記載の半導体集積回路装置の製造方法において、前記半導体ウエハの上方にマトリックス状に配置されたUV光源セルから前記UV光が照射されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1または2記載の半導体集積回路装置の製造方法において、UV光源から前記半導体ウエハの上方に微細管によって導かれた前記UV光が照射されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工する機能とを備えたことを特徴とする半導体集積回路装置の製造装置。

【請求項8】 半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工する機能とを備えたことを特徴とする半導体集積回路装置の製造装置。

【請求項9】 請求項7または8記載の半導体集積回路装置の製造装置において、チップ毎または局所的に前記レジストパターンの削れ量を演算する機能が備わっていることを特徴とする半導体集積回路装置の製造装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、例えば0.1μm以下の加工寸法で形成される半導体集積回路装置に適用して有効な

技術に関するものである。

## 【0002】

【従来の技術】 半導体集積回路装置における微細加工技術は、主にリソグラフィ技術の改良によってもたらされており、その中でも光を用いたフォトリソグラフィは、その経済性の理由からハーフミクロン時代の半導体集積回路装置の量産にも使用されている。

【0003】 ところで、半導体集積回路装置の高性能化に伴い半導体デバイスの微細化が進み、要求される加工最小線幅はすでにフォトリソグラフィ技術では解像が難しい0.1μmに達している。しかし、フォトリソグラフィに代わる他のリソグラフィ技術、例えば電子ビーム露光技術、X線露光技術などを量産ベースに使用するには、未だ技術的なブレイクスルーを必要としている。そこで、0.1μmプロセスにおいてもフォトリソグラフィが有望視されており、さらに改良のための研究開発が行われている。

## 【0004】

【発明が解決しようとする課題】 ところで、微細加工技術では、きわめて小さい寸法のデバイスパターンの形成が要求される一方で、±10%以下の寸法バラツキが要求される。すなわち、微細なデバイスが多数集積され、それらが相互に結線されて一つの機能をもつのが集積回路であることから、ロット間、半導体ウエハ間または半導体ウエハ面内における寸法バラツキに起因した個々の半導体デバイスの特性のバラツキの大小が、最終的に半導体集積回路装置の機能が目標の許容範囲に収まるか否かを定める要素となっている。

【0005】 しかしながら、本発明者が検討したところによると、例えば0.14μmプロセスに前記スリミング技術を適用すると、0.14±0.02μmの加工寸法は0.10±0.02μmとなり、平均寸法は細くなるもののバラツキは低減できないことが明らかとなった。0.1μmプロセスにおいては、その寸法バラツキを±10%以下に抑えることがさらに難しくなることが考えられる。

【0006】 本発明の目的は、フォトリソグラフィの解像限界で決まる最小加工寸法よりも細かい加工寸法を有し、寸法バラツキが±10%以下のレジストパターンを半導体ウエハ上に形成することのできる技術を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に形成されたレジストパターンに、チップ毎にUV (Ultra Violet) 光を照射しながらオゾンを用い

3

たアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工するものである。

【0009】(2) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に形成されたレジストパターンに、局所的にUV照射をしながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工するものである。

【0010】(3) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記UV光の照射量を制御することによって、チップ毎または局所的に前記レジストパターンの削れ量を調整するものである。

【0011】(4) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記半導体ウエハは110～150℃程度の温度に保持されるものである。

【0012】(5) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、前記半導体ウエハの上方にマトリックス状に配置されたUV光源セルから、プラズマ放電によって発生した前記UV光が照射されるものである。

【0013】(6) 本発明の半導体集積回路装置の製造方法は、前記(1)または(2)記載の半導体集積回路装置の製造方法において、UV光源から前記半導体ウエハの上方に微細管によって導かれた前記UV光が照射されるものである。

【0014】(7) 本発明の半導体集積回路装置の製造装置は、半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、チップ毎にUV光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上の前記レジストパターンの寸法を細く加工する機能とを備えたものである。

【0015】(8) 本発明の半導体集積回路装置の製造装置は、半導体ウエハ上に形成されたレジストパターンの寸法を測定する機能と、局所的にUV光を照射しながらオゾンを用いたアッシングを施すことによって、局所的に前記レジストパターンの寸法を細く加工する機能とを備えたものである。

【0016】(9) 本発明の半導体集積回路装置の製造方法は、前記(7)または(8)記載の半導体集積回路装置の製造装置において、チップ毎または局所的に前記レジストパターンの削れ量を演算する機能が備わっているものである。

【0017】上記した手段によれば、フォトリソグラフィの解像限界で決まる最小加工寸法で形成されたレジストパターンに対してアッシングが施され、チップ毎または局所的に設定された量が削られるので、半導体ウエハ上のレジストパターンの加工寸法の平均値を上記最小加工寸法よりも細くできると同時に、寸法バラツキも±1

4

0%以下とすることが可能となる。また、チップ毎のレジストパターンの加工寸法を補正管理することが可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】本発明の実施の形態である微細パターンの製造方法を図1～図14を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】まず、本発明の実施の形態であるスリミング技術を図1に示す工程図を用いて説明する。

【0021】初めに、半導体ウエハの表面または裏面の異物を除去し、現像処理後のマスクパターンの半導体ウエハへの接着性を増強させるためのレジスト塗布前処理を行う(工程100)。

【0022】次に、塗布前処理の終わった半導体ウエハに回転塗布(Spin Coating)法によって、1～2μmの厚さのフォトリソレジストを均一に塗布する(工程101)。この方法は、半導体ウエハをスピンドル上に置き、レジストを1～5ml程度滴下した後、半導体ウエハを2000～5000rpmで回転させ、レジストを遠心力で飛散させて半導体ウエハの表面に均一な厚さのレジストを形成する方法である。

【0023】次に、塗布直後のレジスト膜に多く含まれている残留溶剤を揮発させて、露光時の光化学反応を安定させるために、ホットプレートを用い、半導体ウエハをベークする(工程102)。

【0024】次に、半導体ウエハを所定のフォトリソマスクと共に縮小投影露光装置にセットし、正確な位置合わせを行った後、例えば紫外線(i線)、レーザ光線を一定時間照射(露光)してマスクパターンを上記レジストに焼き付ける(工程103)。

【0025】次に、現像液を半導体ウエハの表面に滴下させて表面張力を利用して盛り、現像処理を所定時間行った後、純水でのリンス、回転乾燥を連続的に行うことによって、レジストパターンが形成される(工程104)。続いて、半導体ウエハを120℃前後でベークして完全に乾燥させると共に、レジスト膜の半導体ウエハへの接着性、熱架橋高分子化による耐ドライエッチングを向上させる(工程105)。

【0026】次いで、金属顕微鏡で半導体ウエハの外観を検査し(工程106)、さらに例えば測長SEM(Scanning Electron Microscope)を用いてレジストパターンの寸法測定を行う(工程107)。この寸法測定は、半導体ウエハ上のチップ毎に行われ、測定された寸法は全て記憶される。

【0027】前記寸法測定において、レジストパターンの測長寸法が規格寸法を満たさない場合は、レジストパ

5

ターンにスリミング処理を施す(工程108)。まず、レジストパターンの測長寸法を基に規格寸法を満たすためのチップ毎のアッシング量(レジストパターンの削れ量)を演算し(工程108a)、設定する(工程108b)。なお、上記規格寸法は、例えば使用する露光方法の解像限界で決まる最小加工寸法よりも細かい場合もある。この後、半導体ウエハを110~150℃に加熱し、半導体ウエハ上のチップ毎にUV(Ultra Violet)光を照射しながらオゾンを用いたアッシングを施すことによって、各々のチップ上のレジストパターンの加工寸法を補正する(工程108c)。このアッシングによってチップ毎に設定された量が削られて、半導体ウエハ上のレジストパターンの加工寸法の平均値が細くできると同時に、寸法バラツキも低減することができる。

【0028】レジストパターンの加工寸法を補正した後、再度、半導体ウエハ上のチップ毎にレジストパターンの寸法測定を行う。レジストパターンの測長寸法が規格寸法を満たした場合、位置合わせの検査を行う(工程109)。

【0029】図2は、スリミング処理によるレジストパターンの寸法分布推移の概念図を示す。感光、現像処理が行われた半導体ウエハ上のレジストパターンの加工寸法が、例えば $0.14 \pm 0.02 \mu\text{m}$ の場合、各々のチップに適したアッシング量を演算し、設定してスリミング処理を施すと、その加工寸法は $0.10 \pm 0.01 \mu\text{m}$ となり、半導体ウエハ上のレジストパターンの加工寸法の平均値を約 $0.04 \mu\text{m}$ 細くできると同時に、寸法バラツキも約10%程度とすることができる。

【0030】なお、前記図1の工程107におけるレジストパターンの寸法測定はチップ毎に行ったが、所定箇所のチップに対してのみ行ってもよく、この場合、前記図1の工程108におけるスリミング処理では、所定箇所のチップの周囲のチップに対しては、上記所定箇所のチップに適用されるアッシング量と同一のアッシング量が用いられる。

【0031】また、前記図1の工程107のレジストパターンの寸法測定と判定、および前記図1の工程108のアッシング量の演算、設定とアッシングは、これらを一環して行うことのできる機能を備えた装置を用いてもよい。

【0032】図3は、前記図1の工程108のスリミング処理で用いるUV光源セルCEのセル構造の一例を示す断面図である。同図において、1は第1基板、2は第2基板、3は隔壁、4は放電空間、5はUV光、6はプラズマ、7は電極、8は誘電体層、9は保護膜、10は透明電極、11は誘電体層である。

【0033】第1基板1と第2基板2との間に設けられ、隔壁3で密封された放電空間4に、プラズマ放電によってUV光5を発生させるための水銀(Hg)、クリプトン(Kr)、アルゴン(Ar)、キセノン(Xe)

6

またはネオン(Ne)等、あるいはこれらの混合ガスが充填されている。放電空間4を挟む第1基板1と第2基板2との距離は約 $100 \mu\text{m}$ 程度である。

【0034】第1基板1の表面には、前記放電空間4にプラズマ6を発生させるための電極7が設けられており、この電極7を覆って誘電体層8が形成されており、さらにこの誘電体層8の上層には保護膜9が形成されている。第2基板2は、例えば合成石英で構成されており、第1基板1と同様にその表面にはプラズマ6を発生させるための透明電極10が設けられている。さらにこの透明電極10を覆って誘電体層11が形成されている。放電空間4に発生したUV光5は、合成石英からなる第2基板2から取り出されて、半導体ウエハ上に照射される。

【0035】図4は、半導体ウエハ上にUV照射を行う方法の一例を示すものである。図4(a)は個々のUV光源セルの配置を示す平面図、図4(b)はUV照射における個々のUV光源セルおよび半導体ウエハの配置を示す模式図である。図4(a)中、網かけのハッチング部分は照射量が相対的に多いUV光源セルであり、白抜き部分は照射量が相対的に少ないUV光源セルである。また、図4(a)中の点線は、UV光源セルCEに対置される半導体ウエハの位置を示す。

【0036】図4に示すように、マトリック状に配置された個々のUV光源セルCEはフォルダ12によって保持されており、その表面にレジストパターン13が形成された半導体ウエハ14の上方に設置されている。UV光源セルCEの個々の大きさはチップとほぼ同じである。半導体ウエハ14は、ヒートステージ15上に置かれており、このヒートステージ15によって半導体ウエハ14の温度調整が行われる。

【0037】図5に、UV照射した場合およびUV照射しない場合のアッシング速度と基板温度との関係、ならびに両者のレート比と基板温度との関係を示す。図5に示すように、UV照射した場合のアッシング速度およびUV照射しない場合のアッシング速度はそれぞれ基板温度に依存し、さらに両者の基板温度に対する傾きが異なり、レート比は基板温度が低くなるに従って大きくなる。これより、半導体ウエハ14の温度はレート比が大きくとれる領域、例えば110~150℃程度に設定される。

【0038】次に、本実施の形態のスリミング技術を適用したCMOS(Complementary Metal Oxide Semiconductor)デバイスの製造方法を図6~図14を用いて簡単に説明する。前述したスリミング技術は、CMOSデバイスのゲート電極を形成する際のフォトリソグラフィ工程に適用した。図中、Qnはnチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)、Qpはpチャネル型MISFETである。

【0039】まず、図6に示すように、例えばp型の単

7

結晶シリコンからなる半導体基板21を用意する。次に、この半導体基板21を熱酸化してその表面に膜厚0.01 $\mu$ m程度の薄い酸化シリコン膜22を形成し、次いでその上層に化学的気相成長 (Chemical Vapor Deposition ; CVD) 法で膜厚0.1 $\mu$ m程度の窒化シリコン膜23を堆積した後、レジストパターンをマスクとして窒化シリコン膜23、酸化シリコン膜22および半導体基板21を順次ドライエッチングすることにより、素子分離領域の半導体基板21に深さ0.35 $\mu$ m程度の素子分離溝24aを形成する。

【0040】次に、熱リン酸を用いたウエットエッチングで窒化シリコン膜23を除去した後、図7に示すように、半導体基板21上にCVD法で堆積した酸化シリコン膜24bをエッチバック、または化学的機械研磨 (Chemical Mechanical Polishing ; CMP) 法で研磨して、素子分離溝24aの内部に酸化シリコン膜24bを残すことにより素子分離領域を形成する。続いて、半導体基板21を約1000℃でアニールすることにより、素子分離溝24aに埋め込んだ酸化シリコン膜24bをデンシファイ (焼き締め) する。

【0041】次に、半導体基板21のnチャネル型MISFETQn形成領域にp型ウエル25を形成するためのボロンをイオン注入し、pチャネル型MISFETQp形成領域にn型ウエル26を形成するためのリンをイオン注入する。上記ボロンは、例えば注入エネルギー200keV、ドーズ量 $2 \times 10^{13} \text{cm}^{-2}$ で注入し、上記リンは、例えば注入エネルギー500keV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ で注入する。

【0042】次に、図8に示すように、半導体基板21を熱酸化して、p型ウエル25およびn型ウエル26のそれぞれの表面にゲート絶縁膜27を約4nm程度の厚さで形成した後、CVD法で多結晶シリコン膜28を半導体基板21上に堆積する。

【0043】次いで、n型不純物、例えばリンをイオン打ち込みによりnチャネル型MISFETQnが形成される領域の多結晶シリコン膜28へ導入し、続いてp型不純物、例えばボロンをイオン打ち込みによりpチャネル型MISFETQpが形成される領域の多結晶シリコン膜28へ導入する。この後、多結晶シリコン膜28の上層に窒化シリコン膜29を堆積する。

【0044】次に、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート電極を形成する際のフォトリソグラフィ工程を説明する。

【0045】まず、半導体基板21の表面または裏面の異物を除去した後、レジスト塗布前処理の終わった半導体基板21上に回転塗布法によって、例えば汎用のポジ型フォトリソレジスト膜を均一に塗布し、次いで半導体基板21にベーク処理を施す。

【0046】この後、半導体基板21をフォトマスクと共に縮小投影露光装置にセットし、正確な位置合わせを

8

行った後、例えば波長0.248 $\mu$ mのKrFエキシマレーザを一定時間照射してマスクパターンを焼き付ける。

【0047】図9に、露光工程で使用する縮小投影露光装置30の一例を簡単に示す。同図において、31は、例えば5~8インチのシリコン単結晶等からなる半導体ウエハ、32はKrFエキシマレーザ、33、34は反射鏡、35はインテグレート、36は反射鏡、37はコンデンサーレンズ、38はフォトマスクを保持して少なくともZ軸方向に微動可能なマスクホルダ、39は縮小投影レンズである。40は半導体ウエハ31を吸着するウエハ吸着台、41はZ軸移動台 (高さ方向)、42はX軸移動台 (水平横方向)、43はY軸移動台 (水平前後方向) であり、上記X軸移動台42と共にXYZステージを構成する。SMはフォトマスクである。

【0048】露光に際しては、KrFエキシマレーザ32から出たビームを2枚の全反射鏡33、34で曲げた後、インテグレート35と呼ぶ光学素子によって集光と拡大、均一化を行う。次に、大型の全反射鏡36でビームを曲げて石英製のコンデンサーレンズ37を通した後、フォトマスクSMと石英製の単色縮小投影レンズ39とを経て、半導体ウエハ31上に結像させる。

【0049】露光後は、現像液を半導体基板21の表面に滴下させて表面張力を利用して盛り、所定の時間現像処理を行った後、純水でのリンス、回転乾燥を連続的に行う。これによって半導体基板21上に解像限界で決まる最小加工寸法を有するレジストパターン44が形成される。

【0050】次に、前記図1~図5を用いて説明したスリミング技術を用いて半導体基板21上のレジストパターン44の加工寸法を補正することにより、解像限界で決まる最小加工寸法よりも細かい加工寸法を有し、さらに寸法バラツキが $\pm 10\%$ 以下に抑えられたレジストパターン44aを形成する。

【0051】次に、レジストパターン44aをマスクとして、窒化シリコン膜29および多結晶シリコン膜28を順次エッチングし、図10に示すように、窒化シリコン膜29からなるキャップ絶縁膜29aおよび多結晶シリコン膜28によって構成されるゲート電極45を形成する。

【0052】次に、上記レジストパターン44aを除去した後、n型ウエル26をレジスト膜で覆った後、nチャネル型MISFETQnのゲート電極45をマスクとしてp型ウエル25にn型不純物、例えば砒素を導入し、nチャネル型MISFETQnのソース、ドレインの一部を構成する低濃度のn-型半導体領域46aを形成する。同様に、p型ウエル25をレジスト膜で覆った後、pチャネル型MISFETQpのゲート電極45をマスクとしてn型ウエル26にp型不純物、例えばフッ化ボロンを導入し、pチャネル型MISFETQpのソース、ドレインの一部を構成する低濃度のp-型半導体



9

領域47aを形成する。

【0053】この後、図11に示すように、半導体基板21上にCVD法で堆積した酸化シリコン膜をRIE (Reactive Ion Etching) 法で異方性エッチングして、nチャネル型MISFETQnのゲート電極45およびpチャネル型MISFETQpのゲート電極45のそれぞれの側壁にサイドウォールスペーサ48を形成する。

【0054】次に、図12に示すように、n型ウエル26をレジスト膜で覆った後、nチャネル型MISFETQnのゲート電極45およびサイドウォールスペーサ48をマスクとして、p型ウエル25にn型不純物、例えばリンを導入し、nチャネル型MISFETQnのソース、ドレインの他の一部を構成する高濃度のn<sup>+</sup>型半導体領域46bを形成する。同様に、p型ウエル25をレジスト膜で覆った後、pチャネル型MISFETQpのゲート電極45およびサイドウォールスペーサ48をマスクとして、n型ウエル26にp型不純物、例えばフッ化ボロンを導入し、pチャネル型MISFETQpのソース、ドレインの他の一部を構成する高濃度のp<sup>+</sup>型半導体領域47bを形成する。

【0055】次に、厚さ30~50nm程度のチタン膜をスパッタリング法またはCVD法によって半導体基板21上に堆積した後、窒素雰囲気中で600~700℃程度の熱処理を半導体基板21に施し、次いで未反応のチタン膜を除去する。この後、低抵抗化のための熱処理を半導体基板21に施すことによって、図13に示すように、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域46bの表面、およびpチャネル型MISFETQpのp<sup>+</sup>型半導体領域47bの表面にチタンシリサイド膜49を形成する。

【0056】次に、図14に示すように、半導体基板21上に層間絶縁膜50を形成した後、レジストパターンをマスクとして層間絶縁膜50をエッチングし、nチャネル型MISFETQnのn<sup>+</sup>型半導体領域46bの表面に設けられたチタンシリサイド膜49、およびpチャネル型MISFETQpのp<sup>+</sup>型半導体領域47bの表面に設けられたチタンシリサイド膜49に達するコンタクトホール51n、51pを開孔する。なお、図示はしないが、同時にゲート電極45に達するコンタクトホールが形成される。

【0057】その後、層間絶縁膜50の上層に金属膜、例えばタングステン膜を堆積し、例えばCMP法で、この金属膜の表面を平坦化することによってコンタクトホール51n、51pの内部に金属膜を埋め込みプラグ52を形成した後、層間絶縁膜50の上層に堆積した金属膜をエッチングして配線層53を形成することにより、CMOSデバイスがほぼ完成する。

【0058】なお、本実施の形態では、露光にKrFエキシマレーザを用いたが、ArFエキシマレーザまたは紫外線、例えば波長0.365μmのi線などを用いても

10

よく、露光方法に関係なく、レジストパターンのスリミング技術を適用することができる。

【0059】また、本実施の形態では、UV光の照射は、半導体ウエハの上方にマトリックス状に配置されたUV光源セルを用いて行われたが、UV光源から半導体ウエハの上方に微細管によって導かれたUV光を照射してもよく、同様な効果が得られる。

【0060】また、本実施の形態では、半導体デバイスの特性変動を抑えるために半導体ウエハ上のレジストパターンの加工寸法の平均値を補正すると同時にそのバラツキも低減したが、特定チップに対してのみ重点的にアッシングを行うことによって、上記特定チップのレジストパターンを微細に加工し、1枚の半導体ウエハ上にチップ毎に異なる加工寸法を有する同一形状のレジストパターンを形成してもよい。

【0061】また、本実施の形態では、チップ毎にUV光を照射したが、UV光源セルCEの個々の大きさをチップよりも小さい、例えば特定のパターンを局所的に照射できる大きさとし、局所的にUV光を照射することによって、1つのチップ上のレジストパターンの一部を微細に加工してもよい。

【0062】このように、本実施の形態によれば、半導体ウエハ上にフォトリソグラフィの解像限界で決まる最小加工寸法で形成されたレジストパターンに対してアッシングが施され、チップ毎または局所的に設定された量が削られるので、半導体ウエハ上のレジストパターンの加工寸法の平均値を上記最小加工寸法よりも細くでき、同時にレジストパターンの寸法バラツキも±10%以下に低減することができる。また、チップ毎のレジストパターンの加工寸法を補正管理することが可能となる。

【0063】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】例えば、前記実施の形態では、CMOSデバイスのゲート電極の製造方法に適用した場合について説明したが、微細パターンを有するいかなる半導体集積回路装置の製造方法にも適用可能である。

【0065】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0066】本発明によれば、フォトリソグラフィの解像限界で決まる最小加工寸法よりも細い加工寸法を有し、寸法バラツキが±10%以下のレジストパターンを半導体ウエハ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるスリミング技術を説明するための工程図である。

【図2】スリミング技術によるレジスト寸法分布の推移を示す概念図である。

【図3】UV光源セルのセル構造を示す断面図である。

【図4】(a)は、UV光源セルの配置を示す平面図、(b)は、UV照射における個々のUV光源セルおよび半導体ウエハの配置を示す模式図である。

【図5】フォトレジストのアッシング速度と基板温度との関係を示すグラフ図である。

【図6】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図9】露光工程で使用する縮小投影露光装置の説明図である。

【図10】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態を適用したCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

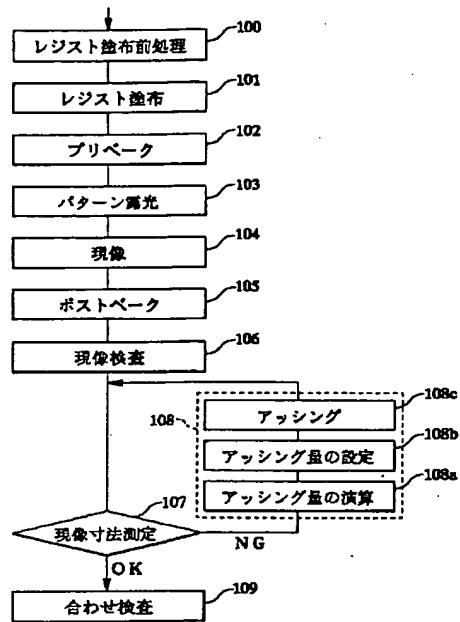
#### 【符号の説明】

- 1 第1基板
- 2 第2基板
- 3 隔壁
- 4 放電空間
- 5 UV光
- 6 プラズマ
- 7 電極
- 8 誘電体層
- 9 保護膜
- 10 透明電極
- 11 誘電体層
- 12 フォルダ

- 13 レジストパターン
- 14 半導体ウエハ
- 15 ヒートステージ
- 21 半導体基板
- 22 酸化シリコン膜
- 23 窒化シリコン膜
- 24 a 素子分離溝
- 24 b 酸化シリコン膜
- 25 p型ウエル
- 26 n型ウエル
- 27 ゲート絶縁膜
- 28 多結晶シリコン膜
- 29 窒化シリコン膜
- 29 a キャップ絶縁膜
- 30 縮小投影露光装置
- 31 半導体ウエハ
- 32 KrFエキシマレーザ
- 33 反射鏡
- 34 反射鏡
- 35 インテグレータ
- 36 反射鏡
- 37 コンデンサーレンズ
- 38 マスクホルダ
- 39 縮小投影レンズ
- 40 ウエハ吸着台
- 41 Z軸移動台(高さ方向)
- 42 X軸移動台(水平横方向)
- 43 Y軸移動台(水平前後方向)
- 44 レジストパターン
- 44 a レジストパターン
- 45 ゲート電極
- 46 a n-型半導体領域
- 46 b n+型半導体領域
- 47 a p-型半導体領域
- 47 b p+型半導体領域
- 48 サイドウォールスペーサ
- 49 チタンシリサイド膜
- 50 層間絶縁膜
- 51 n コンタクトホール
- 51 p コンタクトホール
- 52 プラグ
- 53 配線層
- CE UV光源セル
- SM フォトマスク

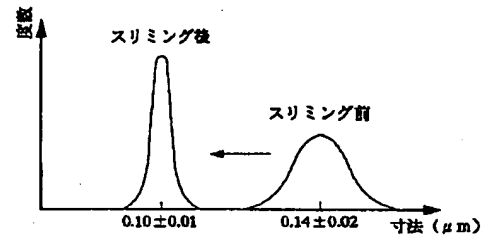
【図1】

図 1



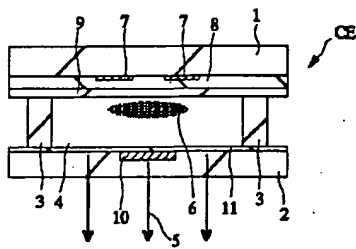
【図2】

図 2

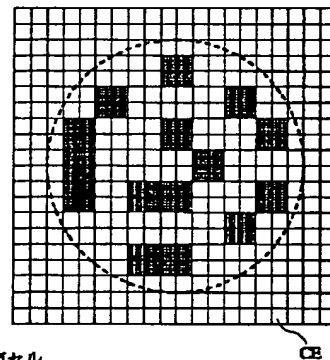


【図3】

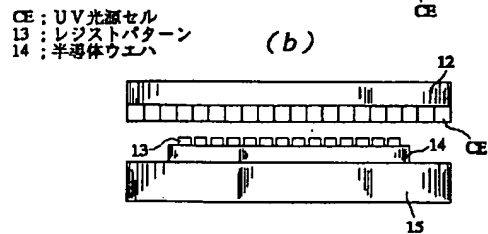
図 3



【図4】

図 4  
(a)

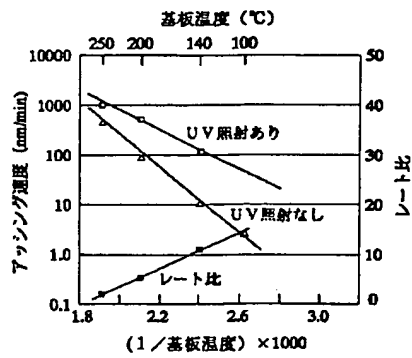
(b)



CE : UV光源セル  
13 : レジストパターン  
14 : 半導体ウエハ

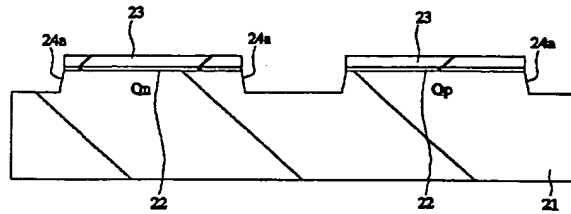
【図5】

図 5



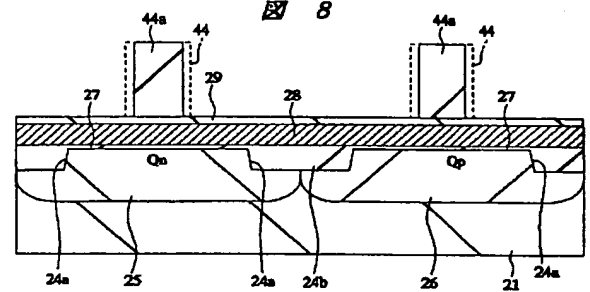
【図6】

図 6



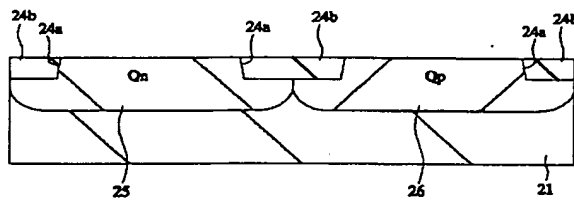
【図8】

図 8



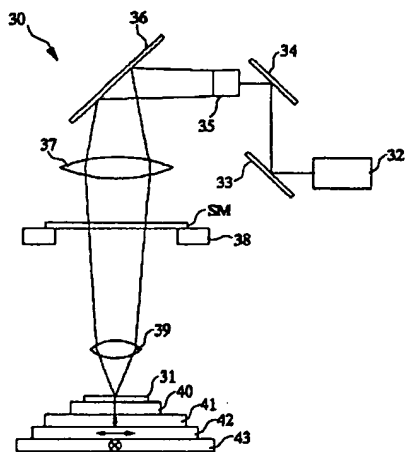
【図7】

図 7



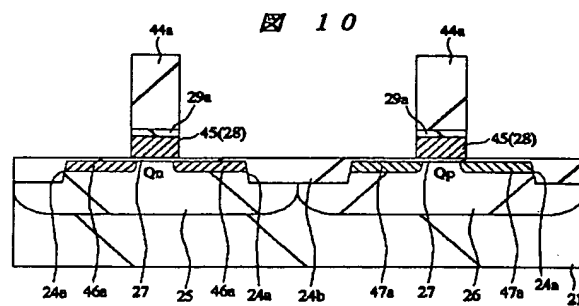
【図9】

図 9



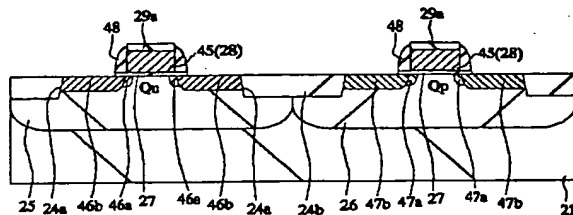
【図10】

図 10



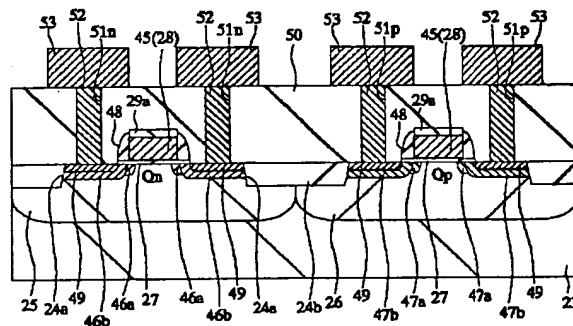
【図 12】

**12**



【圖 14】

**14**



(72) 発明者 恒川 助芳  
東京都青梅市新町六丁目16番地の2 株式  
会社日立製作所熱器ライティング事業部内  
Fターム(参考) 2H096 AA25 HA25 LA09  
5F004 AA16 BA19 BB02 BB18 BD01  
DA27 DB26 DB27 EA34  
5F046 MA13

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**